

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 8 月 2 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 0 7 2 8 6
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 0 7 2 8 6]

出 願 人 株式会社デンソー
Applicant(s):

2 0 0 3 年 9 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 PSN1296
【提出日】 平成15年 8月29日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
H01L 21/70
H01L 27/00

【発明者】
【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内
【氏名】 中山 喜明

【特許出願人】
【識別番号】 000004260
【氏名又は名称】 株式会社デンソー

【代理人】
【識別番号】 100106149
【弁理士】
【氏名又は名称】 矢作 和行
【電話番号】 052-220-1100

【先の出願に基づく優先権主張】
【出願番号】 特願2002-273117
【出願日】 平成14年 9月19日

【手数料の表示】
【予納台帳番号】 010331
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0300955

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板の一方の表面である主面側に形成された第1電極と、もう一方の表面である裏面側に形成された第2電極とを有する縦型トランジスタが形成されてなる半導体装置であって、

前記第1電極が、前記主面上に形成された層間絶縁膜を介して、主面側の半導体基板表層部に形成された拡散領域に接続する第1金属層からなり、

前記裏面側には、前記半導体基板の内部に向かってトレンチが形成され、

前記第2電極が、前記トレンチ内に形成され、トレンチによって露出された前記半導体基板内の半導体層に接続する第2金属層からなることを特徴とする半導体装置。

【請求項 2】

前記トレンチが、テーパ状に形成されてなることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記トレンチが、前記第2金属層により埋め込まれてなることを特徴とする請求項1または2に記載の半導体装置。

【請求項 4】

前記縦型トランジスタがMOSトランジスタであって、

前記第1電極が、当該MOSトランジスタのソース電極であり、

前記第2電極が、当該MOSトランジスタのドレイン電極であることを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項 5】

前記半導体基板が、第1導電型の第1半導体層と、当該第1半導体層上に形成され、第1導電型で当該第1半導体層より低濃度の第2半導体層とを有し、

前記MOSトランジスタが、

前記第1半導体層をドレインとし、

前記トレンチが前記第1半導体層に達するように形成され、

前記第2半導体層の表層部に形成される第2導電型のチャネル拡散領域と、前記チャネル拡散領域の表層部に形成される第1導電型のソース拡散領域と、前記チャネル拡散領域の一部にゲート絶縁膜を介して当接配置されるゲート電極とを備えてなることを特徴とする請求項4に記載の半導体装置。

【請求項 6】

前記半導体基板が、内部に絶縁膜を埋め込んだSOI基板からなり、

前記絶縁膜上の主面側に、前記第1半導体層と第2半導体層とが形成され、

前記トレンチが、前記絶縁膜を貫通して第1半導体層に達するように形成されてなることを特徴とする請求項5に記載の半導体装置。

【請求項 7】

前記MOSトランジスタが、前記主面から第1半導体層に達する第1導電型のドレイン接続拡散領域を備えることを特徴とする請求項5または6に記載の半導体装置。

【請求項 8】

前記ゲート電極が、前記チャネル拡散領域を貫通し第2半導体層に達するトレンチに形成されてなることを特徴とする請求項5乃至7のいずれか1項に記載の半導体装置。

【請求項 9】

前記縦型トランジスタがIGBTであって、

前記第1電極が、当該IGBTのエミッタ電極であり、

前記第2電極が、当該IGBTのコレクタ電極であることを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項 10】

前記半導体基板が、第2導電型の第3半導体層と、当該第3半導体層上に形成された第1導電型の第4半導体層とを有し、

前記 IGBT が、
前記第 3 半導体層をコレクタとし、
前記トレンチが前記第 3 半導体層に達するように形成され、
前記第 4 半導体層の表層部に形成される第 2 導電型のチャネル拡散領域と、前記チャネル拡散領域の表層部に形成される第 1 導電型のエミッタ拡散領域と、前記チャネル拡散領域の一部にゲート絶縁膜を介して当接配置されるゲート電極とを備えてなることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

前記半導体基板が、内部に絶縁膜を埋め込んだ SOI 基板からなり、
前記絶縁膜上の主面側に、前記第 3 半導体層と第 4 半導体層とが形成され、
前記トレンチが、前記絶縁膜を貫通して第 3 半導体層に達するように形成されてなることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

前記 IGBT が、前記主面から第 3 半導体層に達する第 2 導電型のコレクタ接続拡散領域を備えることを特徴とする請求項 10 または 11 に記載の半導体装置。

【請求項 13】

前記ゲート電極が、前記チャネル拡散領域を貫通し第 4 半導体層に達するトレンチに形成されてなることを特徴とする請求項 10 乃至 12 のいずれか 1 項に記載の半導体装置。

【請求項 14】

前記縦型トランジスタがバイポーラトランジスタであって、
前記第 1 電極が、当該バイポーラトランジスタのエミッタ電極であり、
前記第 2 電極が、当該バイポーラトランジスタのコレクタ電極であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 15】

前記半導体基板が、第 1 導電型の第 5 半導体層と、当該第 5 半導体層上に形成され、第 1 導電型で当該第 5 半導体層より低濃度の第 6 半導体層とを有し、
前記バイポーラトランジスタが、
前記第 5 半導体層をコレクタとし、
前記トレンチが前記第 5 半導体層に達するように形成され、
前記第 6 半導体層の表層部に形成される第 2 導電型のベース拡散領域と、前記ベース拡散領域の表層部に形成される第 1 導電型のエミッタ拡散領域と、前記ベース拡散領域の表層部に形成され、第 2 導電型で当該ベース拡散領域より高濃度のベース接続拡散領域と、
前記第 1 電極であるベース電極とを備えてなることを特徴とする請求項 14 に記載の半導体装置。

【請求項 16】

前記半導体基板が、内部に絶縁膜を埋め込んだ SOI 基板からなり、
前記絶縁膜上の主面側に、前記第 5 半導体層と第 6 半導体層とが形成され、
前記トレンチが、前記絶縁膜を貫通して第 5 半導体層に達するように形成されてなることを特徴とする請求項 15 に記載の半導体装置。

【請求項 17】

前記バイポーラトランジスタが、前記主面から第 5 半導体層に達する第 1 導電型のコレクタ接続拡散領域を備えることを特徴とする請求項 15 または 16 に記載の半導体装置。

【請求項 18】

前記縦型トランジスタの主面側に形成される構成要素が、前記絶縁膜に達する深さで当該構成要素を取り囲むトレンチ分離領域によって、周囲から絶縁分離されてなることを特徴とする請求項 6、11 もしくは 16 に記載の半導体装置。

【請求項 19】

前記トレンチに側壁絶縁膜が形成され、前記第 2 金属層が、裏面側において周囲から絶縁分離されてなることを特徴とする請求項 6、11、16 もしくは 18 に記載の半導体装置。

【請求項 2 0】

前記半導体装置が、前記主面側をプリント配線基板に対向して、当該プリント配線基板にフリップチップ実装されることを特徴とする請求項 H 1 乃至 1 9 のいずれか 1 項に記載の半導体装置。

【請求項 2 1】

前記第 2 金属層が、はんだ付けによりヒートシンクに接続されることを特徴とする請求項 H 1 乃至 2 0 のいずれか 1 項に記載の半導体装置。

【請求項 2 2】

前記半導体装置が、多層のプリント配線基板内に埋め込み実装されることを特徴とする請求項 H 1 乃至 1 9 のいずれか 1 項に記載の半導体装置。

【請求項 2 3】

前記半導体基板に前記縦型トランジスタが複数個搭載され、当該複数個の縦型トランジスタにより、マルチチャネルのスイッチが構成されることを特徴とする請求項 H 1 乃至 2 2 のいずれか 1 項に記載の半導体装置。

【請求項 2 4】

前記マルチチャネルのスイッチが、電源とグランド間で、電源側に縦型トランジスタが挿入され、グランド側に負荷が挿入されるハイサイドスイッチであることを特徴とする請求項 2 3 に記載の半導体装置。

【請求項 2 5】

前記マルチチャネルのスイッチが、負荷を駆動する H 型ブリッジ回路に適用されることを特徴とする請求項 2 3 に記載の半導体装置。

【書類名】 明細書

【発明の名称】 半導体装置

【技術分野】

【0001】

本発明は、半導体基板に縦型トランジスタが形成されてなる半導体装置に関するもので、特に、低オン抵抗の縦型トランジスタが形成されてなる半導体装置に関する。

【背景技術】

【0002】

半導体基板に縦型トランジスタが形成されてなる半導体装置が、例えば、特開平5-198758号公報（特許文献1）に開示されている。図14に、特許文献1に開示されている半導体装置200の断面図を示す。

【0003】

図14において、半導体基板3内には基板上面に開放する箱形の絶縁層4が形成され、絶縁層4の縦壁によって互いに区画された3つの半導体層内には各々、論理回路あるいはゲート駆動回路等を構成する制御回路部（図14には一例としてC-MOS回路を図示している）5、及びその左右位置に各々横型二重拡散MOSFET（L-DMOS）2A、2Bが形成されている。これらL-DMOS 2A、2Bは不純物拡散により、水平方向へ離れた位置にソース21とドレイン22が形成されており、各L-DMOS 2A、2Bのソース21は基板表面からの二重拡散（Double Diffusion）で形成されるとともにアースされている。

【0004】

上記箱形絶縁層4外には左右位置にそれぞれ縦型二重拡散MOSFET（V-DMOS）1A、1Bが形成されており、これらV-DMOS 1A、1Bは半導体基板3の上面からの不純物の二重拡散によりソース11が形成されているとともに、基板3の下面を共通のドレイン12として電源（+B）に接続されている。なお、図中13、23はゲートである。

【特許文献1】 特開平5-198758号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

図14の半導体装置200の絶縁層4は、選択的にSOI（Silicon On Insulator）構造を作る必要があるため、基板の加工コストが高くなる。また、図14の半導体装置200においては、V-DMOS 1A、1Bのドレイン12の端子が共通となるため、複数個のV-DMOSによりマルチチャネルのスイッチを構成する際の自由度が低い。

【0006】

一方、前記の製造コストを下げマルチチャネル化の自由度を高める目的で、内部に絶縁膜を埋め込んだSOI基板を利用する場合、図14のN+半導体基板3に相当するN+層が、SOI基板の埋め込み絶縁膜上に形成される。この際には、半導体装置に形成されるV-DMOSにおいて、ドレインのN+層の抵抗が律速して、オン抵抗の低減が困難である。

【0007】

そこで本発明は、低オン抵抗の縦型トランジスタが形成されてなる半導体装置を提供することを第1の目的とする。また、マルチチャネル化の自由度の高い半導体装置を提供することを第2の目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するために、請求項1に記載の発明は、半導体基板の一方の表面である主面側に形成された第1電極と、もう一方の表面である裏面側に形成された第2電極とを有する縦型トランジスタが形成されてなる半導体装置であって、前記第1電極が、前記主面上に形成された層間絶縁膜を介して、主面側の半導体基板表層部に形成された拡散領域

に接続する第1金属層からなり、前記裏面側には、前記半導体基板の内部に向かってトレンチが形成され、前記第2電極が、前記トレンチ内に形成され、トレンチによって露出された前記半導体基板内の半導体層に接続する第2金属層からなることを特徴としている。

【0009】

これによれば、半導体基板の裏面側にトレンチが形成され、当該トレンチ内に形成された第2金属層が第2電極となる。このため、トレンチを形成しない場合に較べて、半導体基板における第1電極と第2電極間の電流経路が短くなり、第1電極と第2電極間の抵抗が低減される。従って、縦型トランジスタの第1電極と第2電極間のオン抵抗を低減することができる。

【0010】

請求項2に記載の発明は、前記トレンチが、テーパ状に形成されることを特徴としている。

【0011】

これによれば、トレンチに形成された第2金属層からの放熱性を高めることができる。また、トレンチ形成に際してウェットエッチングを利用することができるため、半導体装置の製造コストを低減することができる。

【0012】

請求項3に記載の発明は、前記トレンチが、前記第2金属層により埋め込まれてなることを特徴としている。これにより、第2金属層からの放熱性が高められる共に、第2金属層からなる第2電極の抵抗を低減することができる。

【0013】

請求項4～8に記載の発明は、前記縦型トランジスタが縦型のMOSトランジスタである場合の発明である。

【0014】

請求項4に記載の発明は、前記縦型トランジスタがMOSトランジスタであって、前記第1電極が、当該MOSトランジスタのソース電極であり、前記第2電極が、当該MOSトランジスタのドレイン電極であることを特徴としている。

【0015】

これによれば、前述のようにして、縦型のMOSトランジスタにおけるソースとドレイン間のオン抵抗を低減することができる。

【0016】

請求項5に記載の発明は、前記半導体基板が、第1導電型の第1半導体層と、当該第1半導体層上に形成され、第1導電型で当該第1半導体層より低濃度の第2半導体層とを有し、前記MOSトランジスタが、前記第1半導体層をドレインとし、前記トレンチが前記第1半導体層に達するように形成され、前記第2半導体層の表層部に形成される第2導電型のチャンネル拡散領域と、前記チャンネル拡散領域の表層部に形成される第1導電型のソース拡散領域と、前記チャンネル拡散領域の一部にゲート絶縁膜を介して当接配置されるゲート電極とを備えてなることを特徴としている。

【0017】

上記のように縦型のMOSトランジスタを構成することで、ドレインである第1半導体層の抵抗が低減されて、ソースとドレイン間のオン抵抗を低減することができる。

【0018】

請求項6に記載の発明は、前記半導体基板が、内部に絶縁膜を埋め込んだSOI基板からなり、前記絶縁膜上の主面側に、前記第1半導体層と第2半導体層とが形成され、前記トレンチが、前記絶縁膜を貫通して第1半導体層に達するように形成されてなることを特徴としている。

【0019】

これによれば、内部に絶縁膜を埋め込んだSOI (Silicon On Insulator) 基板に形成される縦型のMOSトランジスタにおいて、絶縁膜下の裏面に絶縁膜を貫通して第1半導体層に達するトレンチが形成され、トレンチにより露出した第1半導体層上に第2金属層

が形成される。従って、このようにSOI基板に形成される縦型のMOSトランジスタについても、ドレインである第1半導体層の抵抗が低減されて、ソースとドレイン間のオン抵抗を低減することができる。

【0020】

請求項7に記載の発明は、前記MOSトランジスタが、前記主面から第1半導体層に達する第1導電型のドレイン接続拡散領域を備えることを特徴としている。これにより、当該MOSトランジスタに流れるドレイン電流をモニタすることができる。

【0021】

請求項8に記載の発明は、前記ゲート電極が、前記チャネル拡散領域を貫通し第2半導体層に達するトレンチに形成されてなることを特徴としている。これによれば、上記トレンチゲートを持つ縦型のMOSトランジスタにおいては、ソースとドレイン間の電流経路をより短くできるため、ソースとドレイン間のオン抵抗をより低減することができる。

【0022】

請求項9～13に記載の発明は、前記縦型トランジスタが縦型のIGBT (Insulated Gate Bipolar Transistor) である場合の発明である。発明の効果は前述した縦型のMOSトランジスタの場合と同様であり詳細説明は省略するが、請求項9～13に記載のように縦型のIGBTを構成することで、当該縦型のIGBTにおけるエミッタとコレクタ間のオン抵抗を低減することができる。

【0023】

また、請求項14～17に記載の発明は、前記縦型トランジスタが縦型のバイポーラトランジスタである場合の発明である。この場合にも、発明の効果は前述した縦型のMOSトランジスタの場合と同様である。請求項14～17に記載のように縦型のバイポーラトランジスタを構成することで、当該縦型のバイポーラトランジスタにおけるエミッタとコレクタ間のオン抵抗を低減することができる。

【0024】

請求項18に記載の発明は、前記縦型トランジスタの主面側に形成される構成要素が、前記絶縁膜に達する深さで当該構成要素を取り囲むトレンチ分離領域によって、周囲から絶縁分離されてなることを特徴としている。これにより、当該縦型トランジスタの周囲に形成される素子からの影響を低減することができる。

【0025】

請求項19に記載の発明は、前記トレンチに側壁絶縁膜が形成され、前記第2金属層が、裏面側において周囲から絶縁分離されてなることを特徴としている。これにより、縦型トランジスタの第2電極である第2金属層が周囲から絶縁分離されるため、当該縦型トランジスタの周囲に形成される素子からの影響を低減することができる。

【0026】

請求項20に記載の発明は、前記半導体装置が、前記主面側をプリント配線基板に対向して、当該プリント配線基板にフリップチップ実装されることを特徴としている。これにより、裏面側に形成される第2金属層から縦型トランジスタで発生した熱を放熱することができ、当該半導体装置の放熱性を高めることができる。

【0027】

請求項21に記載の発明は、前記第2金属層が、はんだ付けによりヒートシンクに接続されることを特徴としている。これにより、縦型トランジスタで発生した熱を、裏面側に形成された第2金属層を介してヒートシンクに放熱することができ、当該半導体装置の放熱性をさらに高めることができる。

【0028】

請求項22に記載の発明は、前記半導体装置が、多層のプリント配線基板内に埋め込み実装されることを特徴としている。これにより、裏面側に第2金属層を有する当該半導体装置を、コンパクトに実装することができる。

【0029】

請求項23に記載の発明は、前記半導体基板に前記縦型トランジスタが複数個搭載され

、当該複数個の縦型トランジスタにより、マルチチャネルのスイッチが構成されることを特徴としている。これにより、低オン抵抗のマルチチャネルのスイッチを構成することができる。

【0030】

請求項 24 に記載の発明は、前記マルチチャネルのスイッチが、電源とグランド間で、電源側に縦型トランジスタが挿入され、グランド側に負荷が挿入されるハイサイドスイッチであることを特徴としている。これにより、低オン抵抗のマルチチャネルのハイサイドスイッチを構成することができる。

【0031】

また、請求項 25 に記載のように、前記マルチチャネルのスイッチは、負荷を駆動する H 型ブリッジ回路に適用することができる。

【発明を実施するための最良の形態】

【0032】

以下、本発明の実施形態を、図に基づいて説明する。

【0033】

(第 1 の実施形態)

図 1 に、本発明の第 1 実施形態における半導体装置 100 の断面図を示す。図 1 に示す半導体装置 100 は、半導体基板 30 に縦型の MOS トランジスタ 101 と横型のバイポーラトランジスタ 102 が形成されてなる半導体装置である。

【0034】

半導体基板 30 は、内部に絶縁膜 32 を埋め込んだ SOI (Silicon On Insulator) 基板であり、シリコン (Si) 基板 31、絶縁膜 32、n+型の第 1 半導体層 33、n 型の第 2 半導体層 34 が順次積層されてなる。第 2 半導体層 34 の表層部には、p 型の拡散領域 40 が形成され、拡散領域 40 の表層部には、n+型の拡散領域 41 と p+型の拡散領域 42 が形成されている。また、拡散領域 40 の外側には、p 型の拡散領域 47 と p+型の拡散領域 48 が形成されており、その外側には、第 1 半導体層 33 に達する n+型の拡散領域 45 が形成されている。

【0035】

図 1 に示す縦型の MOS トランジスタ 101 は、絶縁膜 32 上の主面側に形成された n+型の第 1 半導体層 33 がドレインに対応し、表層部に形成された p 型の拡散領域 40 がチャネルに対応し、n+型の拡散領域 41 がソースに対応する。尚、チャネルに対応する拡散領域 40 の外側に形成された p 型の拡散領域 47 と p+型の拡散領域 48 は、拡散領域 40 の外側の電界を緩和して、MOS トランジスタ 101 の耐圧の低下を防止するために配置されたものである。

【0036】

絶縁膜 32 上の主面側には、チャネルの拡散領域 40 の一部に当接して、ゲート絶縁膜 (図示を省略) を介してゲート電極 39 が形成されている。また、主面側に形成された拡散領域 41、42、48 は、層間絶縁膜 43 を介して、ソース電極である金属層 44 により共通に接続されている。尚、表面から第 1 半導体層 33 に達する n+型の拡散領域 45 は、ドレインに接続して縦型の MOS トランジスタ 101 のドレイン電流をモニタするために配置されたもので、省略しても構わない。

【0037】

絶縁膜 33 下の裏面側には、表面から垂直方向に、絶縁膜 32 を貫通して第 1 半導体層 33 に達するトレンチ 35 が形成されている。また、トレンチ 35 には側壁絶縁膜 36 が形成され、トレンチ 35 により露出した第 1 半導体層 33 に当接して、ドレイン電極である金属層 37 が、トレンチ 35 を埋め込んで形成されている。

【0038】

図 1 に示す縦型の MOS トランジスタ 101 は、絶縁膜 32 上の主面側において、トレンチ分離領域 38 により周囲から絶縁分離されている。また、絶縁膜 32 下の裏面側においては、トレンチ 35 の側壁に形成された側壁絶縁膜 36 により、金属層 37 のドレイン

電極が、周囲から絶縁分離されている。尚、図中の符号 49 は、LOCOS である。

【0039】

次に、図 1 に示す半導体装置 100 の製造方法を、図 2 (a) ~ (c) に示す工程別断面図を用いて説明する。

【0040】

最初に、図 2 (a) に示すように、SOI 基板 (ウェハ) 30 を準備し、絶縁膜 32 上の主面側にトレンチ分離領域 38 および縦型の MOS トランジスタ 101 と横型のバイポーラトランジスタ 102 の各構成要素を形成して、主面側を完成させる。

【0041】

次に、トレンチ 35 を形成する。トレンチ 35 の形成は、以下のように行なう。最初に裏面側を研磨してシリコン基板 31 の厚さを所定の厚さに薄くした後、ウェハの裏面の全面に CVD で酸化膜 50 を堆積する。次に、堆積した酸化膜 50 をパターニングし、MOS トランジスタ 101 の真中にある p 型拡散領域 40、47 直下の酸化膜 50 を取り除いて開口する。さらに、パターニングした酸化膜 50 をマスクにして、シリコン基板 31 と絶縁膜 32 を異方性ドライエッチングによりエッチングし、第 1 半導体層 33 を露出させる。

【0042】

次に、図 2 (b) に示すように、側壁酸化膜 36 を形成する。側壁酸化膜 36 の形成は、以下のように行なう。最初に、上記マスクに用いた酸化膜 50 を除去した後、CVD でウェハの全面に再び酸化膜を堆積する。次に、異方性ドライエッチングを用いてエッチングし、トレンチ 35 の側壁酸化膜 36 のみを残す。

【0043】

次に、図 2 (c) に示すように、側壁酸化膜 36 が形成されたトレンチ 35 に、金属層 37 を形成する。金属層 37 の形成は、銅 (Cu) メッキ等によりトレンチ 35 を金属で埋め込んだ後、シリコン基板 31 の表面が露出するまで研磨することにより行なう。

【0044】

以上で、図 1 に示す半導体装置 100 が完成する。

【0045】

図 14 に示す従来の半導体装置 200 では、n+型の半導体基板 3 に選択的に SOI 構造が形成され、パワー素子である V-DMOS 1A、1B および各 L-DMOS 2A、2B が配置されていた。一方、本実施形態の半導体装置 100 では、基本的に、内部に絶縁膜 32 を埋め込んだ SOI 基板 30 を利用している。このため、図 14 の半導体装置 200 に較べて基板の加工が容易で、製造コストを下げることができる。

【0046】

また、図 1 の半導体装置 100 に形成された縦型の MOS トランジスタ 101 は、絶縁膜 32、および絶縁膜 32 上に形成されたトレンチ分離領域 38 と、絶縁膜 32 下に形成された側壁絶縁膜 36 により、周囲から絶縁分離されている。このようにして絶縁分離された複数の縦型の MOS トランジスタを利用すれば、容易にマルチチャネルのスイッチを構成することができる。従って、本実施形態の半導体装置 100 においては、縦型の MOS トランジスタを用いたスイッチのマルチチャネル化の自由度が高められている。

【0047】

図 1 の縦型の MOS トランジスタ 101 は、図中の矢印で示したように、ソースの拡散領域 41 から出た電子が、チャネル拡散領域 40 を通り、ドレインである第 1 半導体層 33 を通り抜けて、ドレイン電極である金属層 37 に集められる。図 1 の縦型の MOS トランジスタ 101 において、図 14 の従来の V-DMOS 1A、1B の N+半導体基板 3 に対応するのは、SOI 基板 30 の絶縁膜 32 上に形成された n+型の第 1 半導体層 33 である。従って、図 14 の N+半導体基板 3 の厚さに較べて、図 1 の第 1 半導体層 33 の厚さは、格段に薄くなっている。さらに、図 1 の縦型の MOS トランジスタ 101 においては、裏面に絶縁膜 32 を貫通して第 1 半導体層 33 に達するトレンチ 35 が形成され、トレンチ 35 により露出した第 1 半導体層 33 上に当接して、ドレイン電極である金属層 37

が埋め込み形成されている。このようにして、図1の縦型のMOSトランジスタ101では、ソースとドレイン間の電流経路が短くなり、ソースとドレイン間の抵抗は、図14の従来のV-DMOS1A, 1Bに較べて格段に低減される。これによって、図1のMOSトランジスタ101のオン抵抗を、図14のV-DMOS1A, 1Bに較べて格段に低減することができる。

【0048】

(第2の実施形態)

第1実施形態の半導体装置は、SOI基板の絶縁膜下の裏面において、表面から垂直方向にトレンチが形成され、トレンチに埋め込み形成された金属層が、トレンチの側壁絶縁膜により周囲から絶縁分離されてなる半導体装置であった。本実施形態の半導体装置は、トレンチおよび金属層が第1実施形態の場合と異なった構造を有する半導体装置に関する。以下、本実施形態について図に基づいて説明する。

【0049】

図3, 4, 5に、各々、本実施形態の半導体装置110, 120, 130の断面図を示す。尚、図1に示す半導体装置100と同様の部分については同じ符号を付け、その説明は省略する。

【0050】

図3に示す半導体装置110における縦型のMOSトランジスタ111では、第1実施形態の図1に示す半導体装置100と同様に、SOI基板30の絶縁膜32下の裏面側において、表面から垂直方向にトレンチ35が形成されている。一方、図3の半導体装置110では、図1の半導体装置100と異なり、トレンチ35には側壁絶縁膜が形成されず、トレンチ35に埋め込み形成された金属層37は、周囲から絶縁分離されていない。

【0051】

SOI基板30に縦型のMOSトランジスタを1個形成する場合、あるいはドレインを共通電位とする縦型のMOSトランジスタを複数個形成する場合には、側壁絶縁膜のない図3の構造を有する半導体装置110を用いることができる。これにより、図2(b)に示した側壁絶縁膜の形成工程が不要になるので、製造コストを低減することができる。

【0052】

図4に示す半導体装置120における縦型のMOSトランジスタ121では、SOI基板30の絶縁膜32下の裏面側において、図1に示す半導体装置100の表面から垂直方向に形成されたトレンチ35と異なり、表面からテーパ状にトレンチ35'が形成されている。

【0053】

図1に示す表面に垂直方向のトレンチ35の形成は、図2(a)に示した工程で異方性ドライエッチングを用いて行なったが、図4におけるテーパ状のトレンチ35'の形成は、アルカリエッチングを用いて行なうことができる。これによって、ドライエッチングに較べてエッチング工程が容易になり、製造コストを低減することができる。

【0054】

図5に示す半導体装置130における縦型のMOSトランジスタ131では、SOI基板30の絶縁膜32下の裏面側において、図4に示す半導体装置120と同様に、テーパ状のトレンチ35'が形成されている。一方、図5のトレンチ35'内の金属層37'は金属薄膜であり、図4の半導体装置120や図1, 3の半導体装置100, 110に示した金属層37のようにトレンチを完全に埋め込んだものではない。

【0055】

図5の金属層37'としては、例えば、スパッタによるチタン(Ti)/ニッケル(Ni)/金(Au)の積層膜や、メッキによる銅(Cu)膜を用いることができる。金属薄膜からなる金属層37'の形成は、トレンチ35'が深くて埋め込みが困難な場合や、製造コストの低減に有効である。

【0056】

(第3の実施形態)

第1実施形態の半導体装置における縦型のMOSトランジスタでは、チャネルの拡散領域の一部に当接して、ゲート電極が配置されていた。本実施形態の半導体装置は、チャネル拡散領域を貫通し第2半導体層に達するトレンチにゲート電極が配置されてなる縦型のMOSトランジスタが形成された半導体装置に関する。以下、本実施形態について図に基づいて説明する。

【0057】

図6に、本実施形態の半導体装置140の断面図を示す。尚、図1に示す半導体装置100と同様の部分については同じ符号を付け、その説明は省略する。

【0058】

図6の半導体装置140における縦型のMOSトランジスタ141では、第2半導体層34の表層部に、p型の拡散領域40'が形成され、拡散領域40'の表層部には、n+型の拡散領域41'が形成されている。また、図1に示す半導体装置100と異なり、本実施形態の半導体装置140では、チャネル拡散領域40'を貫通し、第2半導体層34に達するトレンチにゲート電極39'が配置されている。尚、ゲート電極39'は、ゲート絶縁膜（図示を省略）を介して、拡散領域40'、41'と第2半導体層34に当接している。

【0059】

図6の半導体装置140における縦型のMOSトランジスタ141では、図中の矢印で示したように、ソースの拡散領域41'から出た電子が、直線的にチャネル拡散領域40'を通り、ドレインである第1半導体層33を通り抜けて、ドレイン電極である金属層37に集められる。従って、図1のMOSトランジスタ101に較べて、ソースとドレイン間の電流経路をより短くできるため、図6の半導体装置140における縦型のMOSトランジスタ141では、ソースとドレイン間のオン抵抗をより低減することができる。

【0060】

（第4の実施形態）

第1実施形態の半導体装置は、SOI基板に縦型のMOSトランジスタと横型のバイポーラトランジスタが形成された半導体装置であった。本実施形態の半導体装置は、埋め込み絶縁膜のない通常のシリコン基板に、縦型のMOSトランジスタのみが形成された半導体装置に関する。以下、本実施形態について図に基づいて説明する。

【0061】

図7(a)は、本実施形態の半導体装置150の断面図であり、図7(b)は、本実施形態の半導体装置150のプリント配線基板153への搭載状態を示す断面図である。尚、図1に示す半導体装置100と同様の部分については同じ符号を付け、その説明は省略する。

【0062】

図7(a)に示すように、本実施形態の半導体装置150においては、第1半導体層33'と第2半導体層34からなる半導体基板30'に、ただ一つの縦型のMOSトランジスタ151が形成されており、ディスクリット素子となっている。また、支持基板を兼ねる第1半導体層33'内にトレンチ35''が形成され、トレンチ35''内に金属層37''が埋め込み形成されている。尚、前記の第1～3実施形態の半導体装置100～140においては図示を省略したが、本実施形態の半導体装置150においては、表面保護膜50を図示した。

【0063】

図7(b)に、本実施形態の半導体装置150について、プリント配線基板153への搭載例を示す。図7(b)の搭載例では、ディスクリット素子である図7(a)の半導体装置150が、プリント配線基板153へフリップチップ実装されている。すなわち、図7(a)の半導体装置150が反転され、半導体装置150の第1金属層44からなる電極とプリント配線基板153の接続ランド52が、符号51で示したハンダボールにより接続されている。

【0064】

図7(b)に示す搭載例では、金属層37'は配線回路には接続されていない。従って、図7(b)のように搭載された半導体装置150における縦型のMOSトランジスタ151では、電子は図中の矢印で示したように移動する。すなわち、この場合には金属層37'はドレイン電極として機能せず、ドレイン接続領域45に接続する図中の電極44(d)がドレイン電極として機能している。

【0065】

本実施形態の半導体装置150においても、第1半導体層33'内にトレンチ35'が形成され、トレンチ35'内に金属層37'が形成されている。このため、ドレインである第1半導体層33'の抵抗が低減されて、縦型のMOSトランジスタ151のオン抵抗を低減することができる。また、金属層37'からMOSトランジスタ151で発生した熱を外部に放熱することができ、金属層37'を形成しない場合に較べて、半導体装置150の放熱性を高めることができる。尚、図7(a)、(b)に示す半導体装置150において、金属層37'が、はんだ付けによりヒートシンクに接続されるようにしてもよい。これにより、縦型のMOSトランジスタ151で発生した熱を、裏面側に形成された金属層37'を介してヒートシンクに放熱することができ、半導体装置150の放熱性をさらに高めることができる。

【0066】

(第5の実施形態)

第4実施形態で、通常の半導体基板にただ一つの縦型のMOSトランジスタが形成された半導体装置について、プリント配線基板へのフリップチップ実装例を示した。本実施形態においては、SOI基板に2個の縦型のMOSトランジスタと2個の横型のバイポーラトランジスタが形成された半導体装置について、プリント配線基板への搭載例を示す。以下、本実施形態について図に基づいて説明する。

【0067】

図8は、本実施形態の半導体装置160のプリント配線基板165への搭載状態を示す断面図である。

【0068】

図8に示すように、本実施形態の半導体装置160においては、SOI基板30に、2個の縦型のMOSトランジスタ161、162と2個の横型のバイポーラトランジスタ163、164が形成されている。2個の縦型のMOSトランジスタ161、162は第1実施形態の図1に示した縦型のMOSトランジスタ101と同様の構造を有しており、主面側はトレンチ分離領域38で、裏面側は側壁絶縁膜36で、それぞれ絶縁分離されている。

【0069】

図8に示す搭載例では、半導体装置160が、プリント配線基板165へフリップチップ実装されている。2個の縦型のMOSトランジスタ161、162における金属層44からなるソース電極は、ハンダボール51により、プリント配線基板165の接続ランド52(s)に接続されている。一方、ドレイン電極である金属層37は、ワイヤ53により、プリント配線基板165の接続ランド52(d)に接続されている。

【0070】

このように半導体装置160がフリップチップ実装されることで、裏面側に形成された金属層37から縦型のMOSトランジスタ161、162で発生した熱を放熱することができ、半導体装置160の放熱性を高めることができる。

【0071】

図9は、図8と同じ半導体装置160について、多層のプリント配線基板166への搭載状態を示す断面図である。2個の縦型のMOSトランジスタ161、162における金属層44からなるソース電極は、ハンダボール51により、多層のプリント配線基板166の接続ランド52(s)に接続されている。一方、ドレイン電極である金属層37は、ハンダ54により、多層のプリント配線基板166の接続ランド52(d)に接続されている。

【0072】

このように、半導体装置160を多層のプリント配線基板166内に埋め込み実装することで、半導体装置160をコンパクトに実装することができる。

【0073】

図8および図9に示す半導体装置160では、2個の縦型のMOSトランジスタ161、162が互いに絶縁分離されており、この2個の縦型のMOSトランジスタ161、162を用いて、例えば低オン抵抗のマルチチャネルのスイッチを構成することができる。

【0074】

(第6の実施形態)

第5実施形態で、SOI基板に2個の縦型のMOSトランジスタと2個の横型のバイポーラトランジスタが形成された半導体装置について、プリント配線基板への実装例を示した。本実施形態においては、同様の半導体装置について、電源とグランド間で、電源側に縦型のMOSトランジスタが挿入され、グランド側に負荷が挿入されるハイサイドスイッチとして適用した例を示す。以下、本実施形態について図に基づいて説明する。

【0075】

図10(a)は、ハイサイドスイッチを説明するための図であり、図10(b)は、本実施形態の半導体装置170について、ハイサイドスイッチとしてヒートシンクへ搭載した例を示す断面図である。

【0076】

図10(a)に示すように、ハイサイドスイッチは、電源(+B)とグランド(GND)間で、電源側にスイッチであるMOSトランジスタが挿入され、グランド側に負荷が挿入されるものである。図10(a)では、2個のMOSトランジスタ171、172が電源側に挿入され、グランド側に負荷R1、R2が挿入されている。2個のMOSトランジスタ171、172が組み合わされてなる図10(a)の半導体装置170は、2チャンネルのハイサイドスイッチとなっている。マルチチャネルのハイサイドスイッチでは、図10(a)に示すように、電源側の各スイッチのドレイン回路を一本化することができる。

【0077】

図10(b)に示す搭載例では、2チャンネルのハイサイドスイッチである半導体装置170が、ヒートシンク175へ搭載されている。

【0078】

図10(b)に示すように、本実施形態の半導体装置170においては、2個の縦型のMOSトランジスタ171、172と2個の横型のバイポーラトランジスタ173、174が形成されている。2個の縦型のMOSトランジスタ171、172は、第2実施形態の図3に示した縦型のMOSトランジスタ111と同様の構造を有しており、主面側はトレンチ分離領域38で絶縁分離されているが、裏面側はトレンチ35に側壁絶縁膜が形成されていない。また、トレンチ35内の金属層37は、ハンダ55によりヒートシンク175に接続されている。従って、図10(b)に示す半導体装置170では、図中の矢印で示したように、ソース電極である金属層44から出た電子が、ドレイン電極である金属層37を通り、ヒートシンク175に流れる。2個の縦型のMOSトランジスタ171、172はハイサイドスイッチであるため、このようにMOSトランジスタ171、172のドレイン電極である金属層37を接続して、ドレイン回路を一本化することができる。

【0079】

図10(b)に示す半導体装置170においては、2個の縦型のMOSトランジスタ171、172は、低オン抵抗の2チャンネルハイサイドスイッチとして機能する。また、2個の縦型のMOSトランジスタ171、172で発生した熱は、熱伝導の良い金属層37を通して、ヒートシンク175に放熱される。従って、図10(b)に示す搭載により、半導体装置170の放熱性を高めることができる。

【0080】

(第7の実施形態)

第6実施形態で、2個の縦型のMOSトランジスタが形成された半導体装置について、ハイサイドスイッチとして適用した例を示した。本実施形態においては、2個の縦型のMOSトランジスタおよび2個の横型のMOSトランジスタ(L-DMOS)が形成された半導体装置について、モータ等の負荷を駆動するH型ブリッジ回路に適用した例を示す。以下、本実施形態について図に基づいて説明する。

【0081】

図11(a)は、H型ブリッジ回路を説明するための図であり、図11(b)は、本実施形態の半導体装置180について、H型ブリッジ回路のスイッチとしてヒートシンクへ搭載した例を示す断面図である。

【0082】

図11(a)に示すH型ブリッジ回路では、電源(+B)とグランド(GND)間で、モータ(M)および4個のMOSトランジスタ181, 182, 183, 184が、図のようにH型に回路構成されている。4個のMOSトランジスタ181, 182, 183, 184は各々電流回路のスイッチとなっており、これらを適宜切り替えることにより、モータを反転駆動することができる。図11(a)のH型ブリッジ回路において、2個のMOSトランジスタ181, 182はハイサイドスイッチであり、2個のMOSトランジスタ183, 184はローサイドスイッチである。

【0083】

図11(b)に示す搭載例では、4個のMOSトランジスタ181, 182, 183, 184が形成された半導体装置180が、ヒートシンク185へ搭載されている。2個の縦型のMOSトランジスタ181, 182は、第2実施形態の図3に示した縦型のMOSトランジスタ111と同様の構造を有しており、主面側はトレンチ分離領域38で絶縁分離されているが、裏面側はトレンチ35に側壁絶縁膜が形成されていない。また、トレンチ35内の金属層37は、ハンダ56によりヒートシンク185に接続されている。2個の縦型のMOSトランジスタ181, 182はハイサイドスイッチであるため、このように縦型のMOSトランジスタ181, 182のドレイン電極である金属層37を接続して、ドレイン回路を一本化することができる。2個の横型のMOSトランジスタ183, 184は、L-DMOS構造を有しており、ローサイドスイッチを構成している。

【0084】

図11(b)に示す半導体装置180においては、2個の縦型のMOSトランジスタ181, 182は、H型ブリッジ回路における低オン抵抗の2チャンネルハイサイドスイッチとして機能する。また、2個の縦型のMOSトランジスタ181, 182で発生した熱は、熱伝導の良い金属層37を通して、ヒートシンク185に放熱される。従って、図11(b)に示す搭載により、半導体装置180の放熱性を高めることができる。

【0085】

(第8の実施形態)

前記の第1～第7実施形態で示した半導体装置は、縦型トランジスタとして、いずれも縦型のMOSトランジスタが形成されてなる半導体装置であった。本実施形態の半導体装置は、縦型トランジスタとして、縦型のIGBT(Insulated Gate Bipolar Transistor)が形成されてなる半導体装置に関する。以下、本実施形態について図に基づいて説明する。

【0086】

図12に、本実施形態における半導体装置190の断面図を示す。尚、図1に示す半導体装置100と同様の部分については、同じ符号を付けた。

【0087】

図12に示す半導体装置190は、半導体基板60に縦型のIGBT191と横型のMOSトランジスタ192が形成されてなる半導体装置である。

【0088】

半導体基板60は、内部に絶縁膜32を埋め込んだSOI基板であり、シリコン(Si)基板31、絶縁膜32、p+型の第3半導体層63、n型の第4半導体層64が順次積

層されてなる。第4半導体層64の表層部には、p型の拡散領域40が形成され、拡散領域40の表層部には、n+型の拡散領域41とp+型の拡散領域42が形成されている。また、拡散領域40の外側には、p型の拡散領域47とp+型の拡散領域48が形成されている。尚、符号65はp+型の拡散領域で、IGBT191における端部の電界緩和のために形成されている。

【0089】

図12に示す縦型のIGBT191は、絶縁膜32上の主面側に形成されたp+型の第3半導体層63がコレクタに対応し、表層部に形成されたp型の拡散領域40がチャネルに対応し、n+型の拡散領域41がエミッタに対応する。尚、チャネルに対応する拡散領域40の外側に形成されたp型の拡散領域47とp+型の拡散領域48は、拡散領域40の外側の電界を緩和して、IGBT191の耐圧の低下を防止するために配置されたものである。

【0090】

絶縁膜32上の主面側には、チャネルの拡散領域40の一部に当接して、ゲート絶縁膜(図示を省略)を介してゲート電極39が形成されている。また、主面側に形成された拡散領域41、42、48は、層間絶縁膜43を介して、エミッタ電極である金属層44により共通に接続されている。

【0091】

絶縁膜33下の裏面側には、図1の場合と同様に、表面から垂直方向に、絶縁膜32を貫通して第3半導体層63に達するトレンチ35が形成されている。また、トレンチ35には側壁絶縁膜36が形成され、トレンチ35により露出した第3半導体層63に当接して、コレクタ電極である金属層37が、トレンチ35を埋め込んで形成されている。

【0092】

図12に示す縦型のIGBT191と図1に示す縦型のMOSトランジスタ101とは、基本的に、図1のn+型の第1半導体層33と図12のp+型の第3半導体層63のみが異なる構造となっている。前記したように、図1の縦型のMOSトランジスタ101では、図中の矢印で示したように、ソースの拡散領域41から出た電子が、チャネル拡散領域40を通り、ドレインである第1半導体層33を通り抜けて、ドレイン電極である金属層37に集められる。一方、図12の縦型のIGBT191では、電子だけでなくホールも電流要素となるため、図1の矢印で示した電子電流だけでなく、ホール電流が図1の矢印と逆向きに流れる。

【0093】

図12の縦型のIGBT191においても、裏面に絶縁膜32を貫通して第3半導体層63に達するトレンチ35が形成され、トレンチ35により露出した第3半導体層63上に当接して、コレクタ電極である金属層37が埋め込み形成されている。従って、図1の縦型のMOSトランジスタ101と同様に、図12の縦型のIGBT191では、エミッタとコレクタ間の電流経路が短くなり、エミッタとコレクタ間のオン抵抗が低減される。

【0094】

尚、図12の縦型のIGBT191が形成された半導体装置190においても、トレンチ35内に形成された金属層37の適用形態について、上記第2～第7実施形態で示したと同様の実施形態が可能である。

【0095】

(第9の実施形態)

本実施形態の半導体装置は、縦型トランジスタとして、縦型のバイポーラトランジスタが形成されてなる半導体装置に関する。以下、本実施形態について図に基づいて説明する。

【0096】

図13に、本実施形態における半導体装置195の断面図を示す。尚、図1に示す半導体装置100と同様の部分については、同じ符号を付けた。

【0097】

図13に示す半導体装置195は、半導体基板70に縦型のバイポーラトランジスタ196と横型のMOSトランジスタ197が形成されてなる半導体装置である。

【0098】

半導体基板70は、内部に絶縁膜32を埋め込んだSOI基板であり、シリコン(Si)基板31、絶縁膜32、n+型の第5半導体層73、n型の第6半導体層74が順次積層されてなる。第6半導体層74の表層部には、p型の拡散領域80が形成され、拡散領域80の表層部には、n+型の拡散領域81とp+型の拡散領域82が形成されている。尚、符号65はp+型の拡散領域で、バイポーラトランジスタ196における端部の電界緩和のために形成されている。

【0099】

図13に示すバイポーラトランジスタ196は、縦型のNPNバイポーラトランジスタである。絶縁膜32上の主面側に形成されたn+型の第5半導体層73がコレクタに対応し、表層部に形成されたp型の拡散領域80がベースに対応し、n+型の拡散領域81がエミッタに対応する。p+型の拡散領域82は、ベース接続拡散領域である。主面側に形成された拡散領域81、82は、層間絶縁膜43を介して、エミッタ電極とベース電極を形成する金属層44に、それぞれ接続されている。

【0100】

絶縁膜33下の裏面側には、図1の場合と同様に、表面から垂直方向に、絶縁膜32を貫通して第5半導体層73に達するトレンチ35が形成されている。また、トレンチ35には側壁絶縁膜36が形成され、トレンチ35により露出した第5半導体層73に当接して、コレクタ電極である金属層37が、トレンチ35を埋め込んで形成されている。

【0101】

図13に示す縦型のバイポーラトランジスタ196も、図12の縦型のIGBT191と同様に、電子だけでなくホールも電流要素となり、電子電流とホール電流が半導体基板70を横切って両方向に流れる。

【0102】

図13の縦型のバイポーラトランジスタ196においても、裏面に絶縁膜32を貫通して第5半導体層73に達するトレンチ35が形成され、トレンチ35により露出した第5半導体層73上に当接して、コレクタ電極である金属層37が埋め込み形成されている。従って、図12の縦型のIGBT191と同様に、図13の縦型のバイポーラトランジスタ196では、エミッタとコレクタ間の電流経路が短くなり、エミッタとコレクタ間のオン抵抗が低減される。

【0103】

尚、図13の縦型のバイポーラトランジスタ196が形成された半導体装置195においても、トレンチ35内に形成された金属層37の適用形態について、上記第2～第7実施形態で示したと同様の実施形態が可能である。

【図面の簡単な説明】

【0104】

【図1】本発明の第1実施形態における半導体装置の断面図である。

【図2】(a)～(c)は、本発明の第1実施形態における半導体装置の製造方法を示す工程別の断面図である。

【図3】本発明の第2実施形態における半導体装置の断面図である。

【図4】本発明の第2実施形態における半導体装置の断面図である。

【図5】本発明の第2実施形態における半導体装置の断面図である。

【図6】本発明の第3実施形態における半導体装置の断面図である。

【図7】(a)は、本発明の第4実施形態における半導体装置の断面図であり、(b)は、第4実施形態の半導体装置のプリント配線基板への搭載状態を示す断面図である。

【図8】本発明の第5実施形態における半導体装置のプリント配線基板への搭載状態を示す断面図である。

【図 9】 本発明の第 5 実施形態における半導体装置の多層のプリント配線基板への搭載状態を示す断面図である。

【図 10】 (a) は、ハイサイドスイッチを説明するための図であり、(b) は、ハイサイドスイッチとして用いられる第 6 実施形態の半導体装置のヒートシンクへの搭載状態を示す断面図である。

【図 11】 (a) は、H 型ブリッジ回路を説明するための図であり、(b) は、H 型ブリッジ回路のスイッチとして用いられる第 7 実施形態の半導体装置のヒートシンクへの搭載状態を示す断面図である。

【図 12】 本発明の第 8 実施形態における半導体装置の断面図である。

【図 13】 本発明の第 9 実施形態における半導体装置の断面図である。

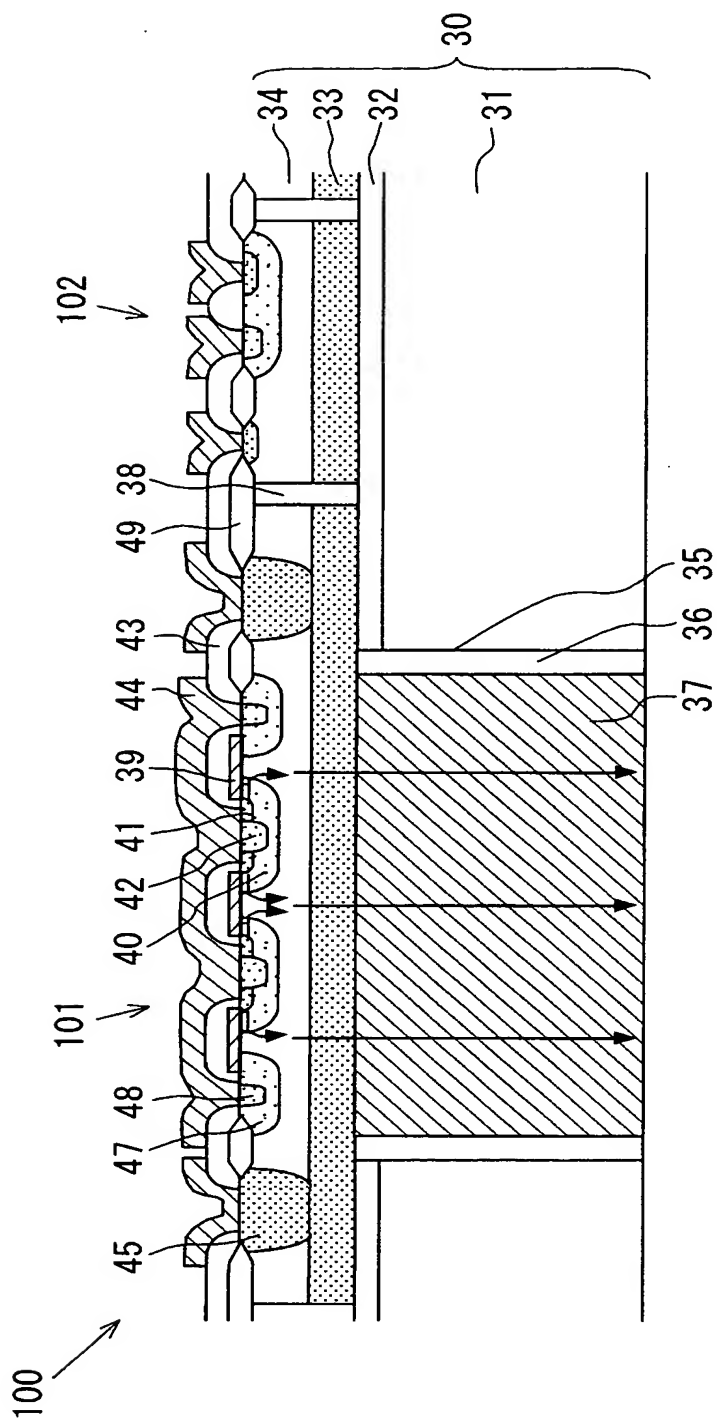
【図 14】 従来の半導体装置の断面図である。

【符号の説明】

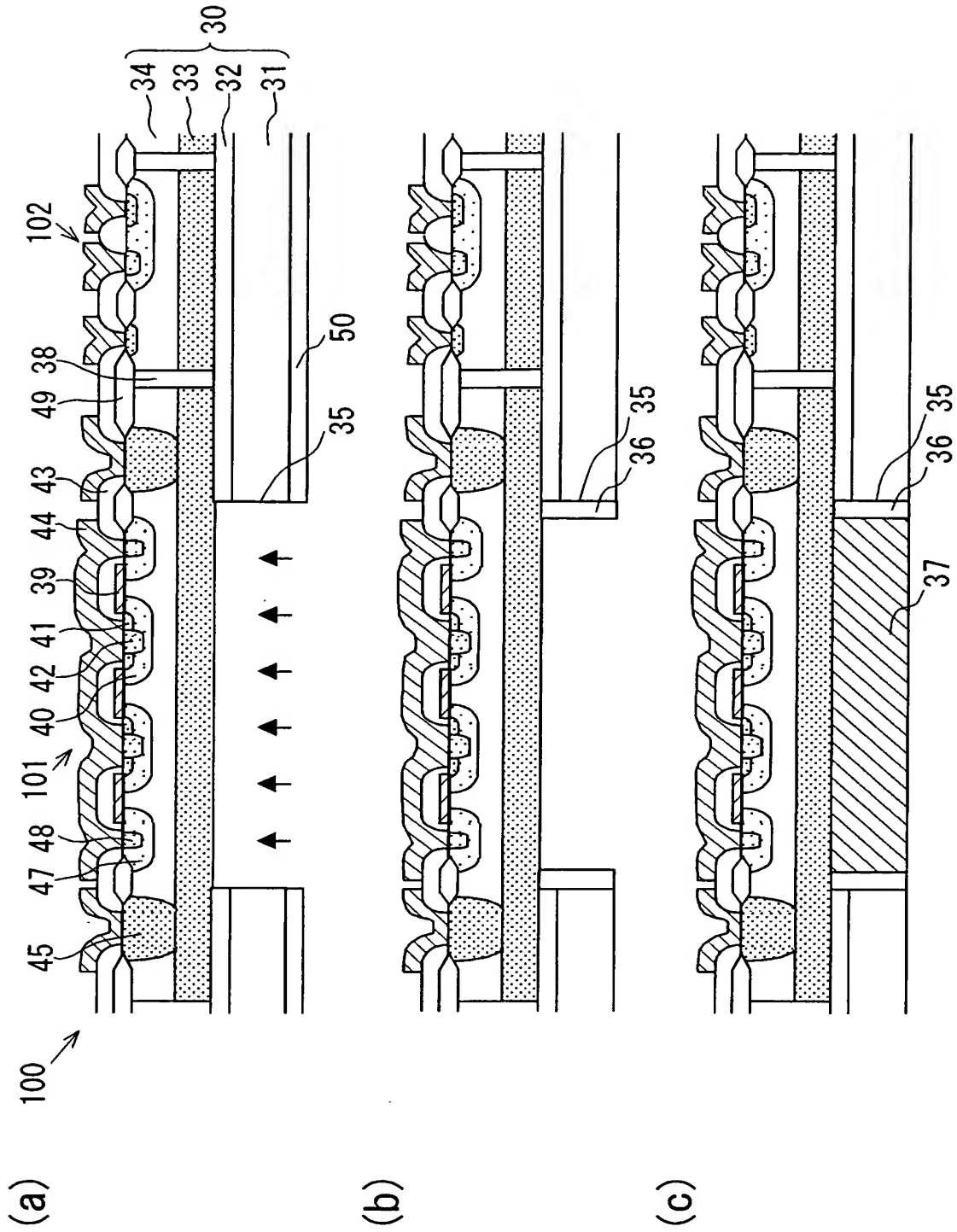
【0105】

- 100 半導体装置
- 101 縦型の MOS トランジスタ
- 102 横型のバイポーラトランジスタ
- 30 SOI 基板 (半導体基板)
- 31 シリコン (Si) 基板
- 32 絶縁膜
- 33 第 1 半導体層
- 34 第 2 半導体層
- 35 トレンチ
- 36 側壁絶縁膜
- 37 (第 2) 金属層
- 38 トレンチ分離領域
- 39 ゲート電極
- 40, 41, 42, 45, 47, 48 拡散領域
- 43 層間絶縁膜
- 44 (第 1) 金属層
- 49 LOCOS

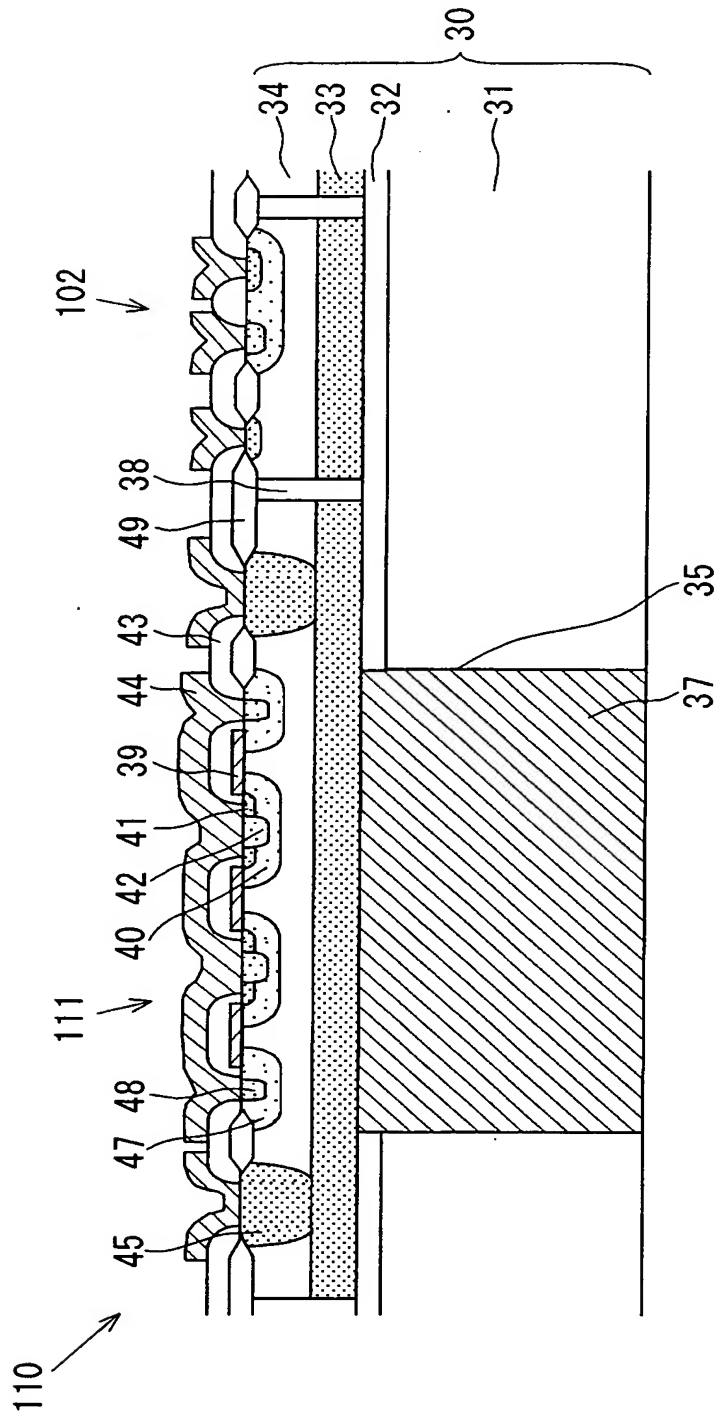
【書類名】 図面
【図 1】



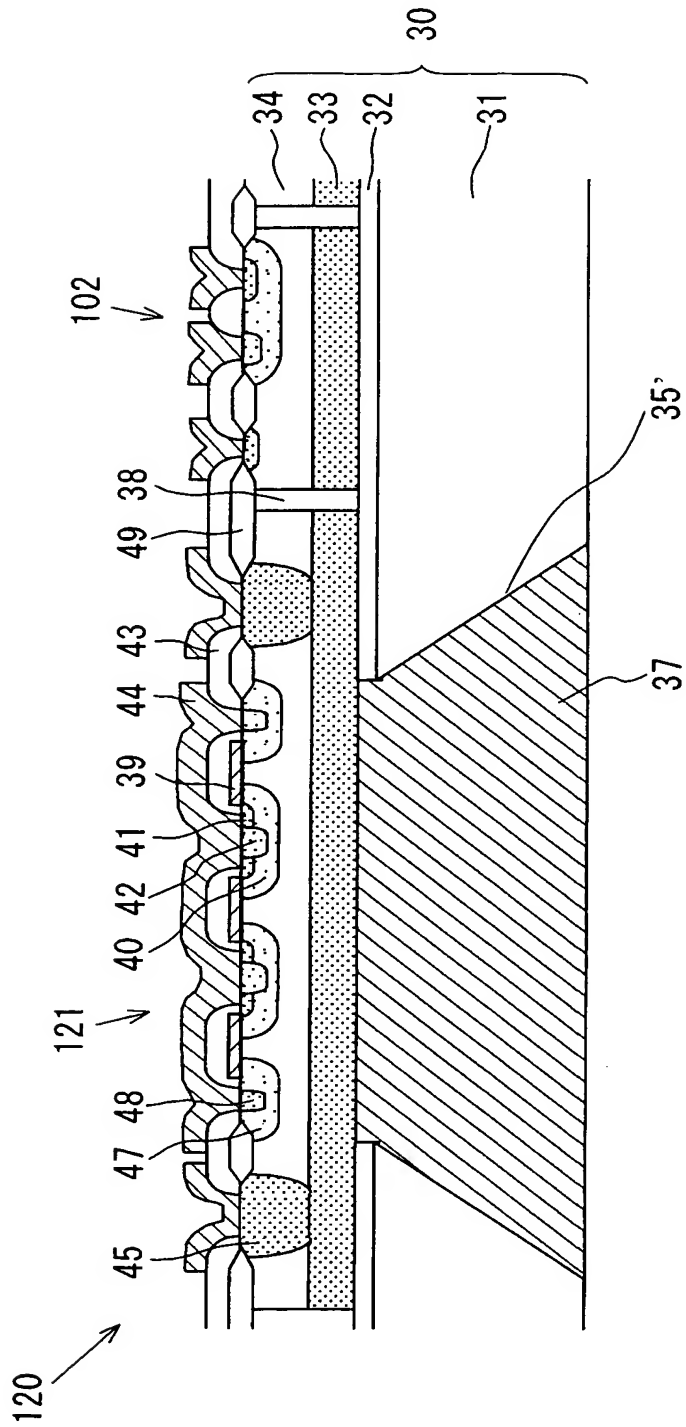
【図 2】



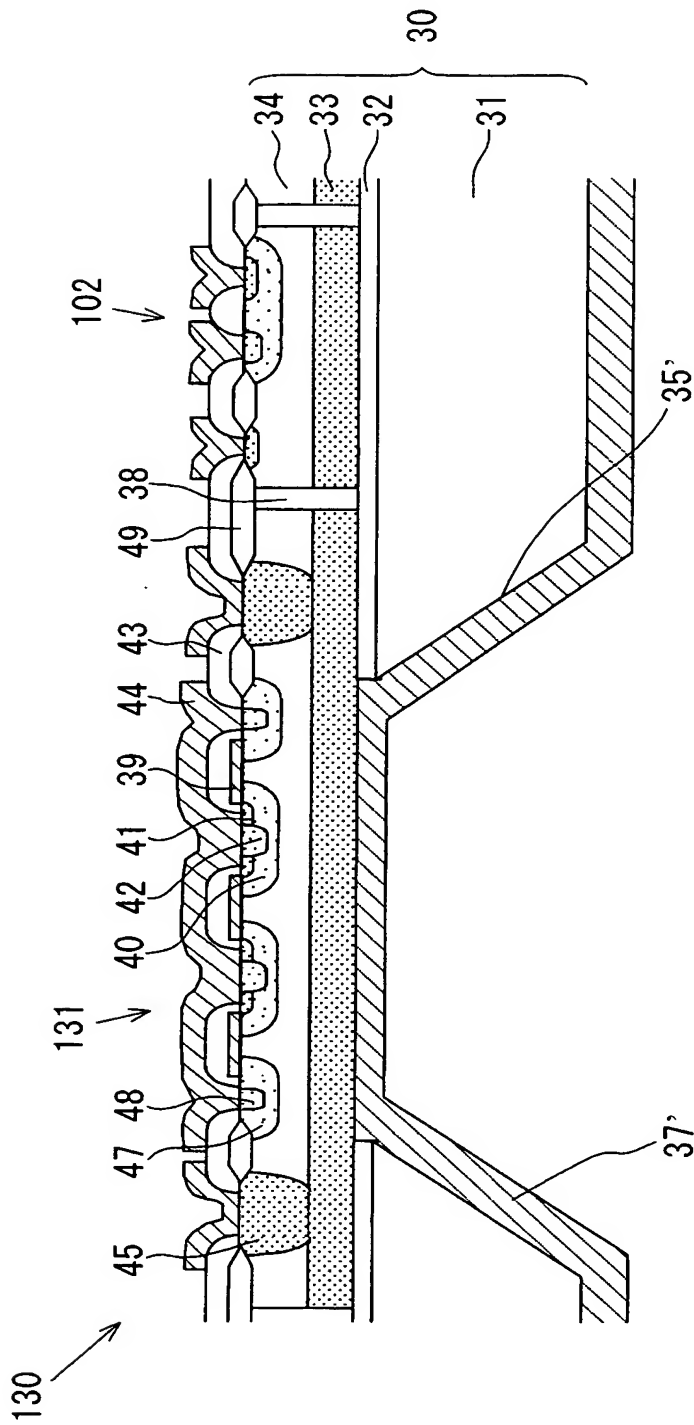
【図 3】



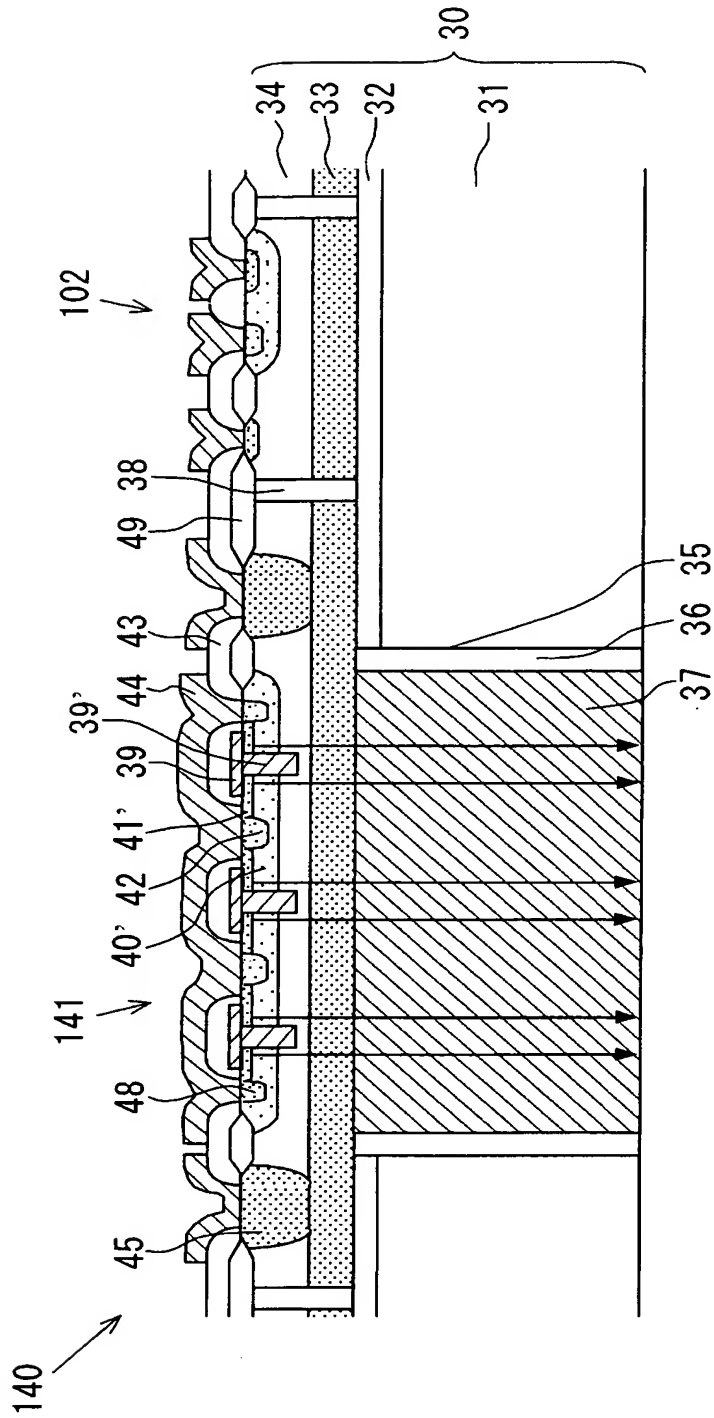
【図 4】



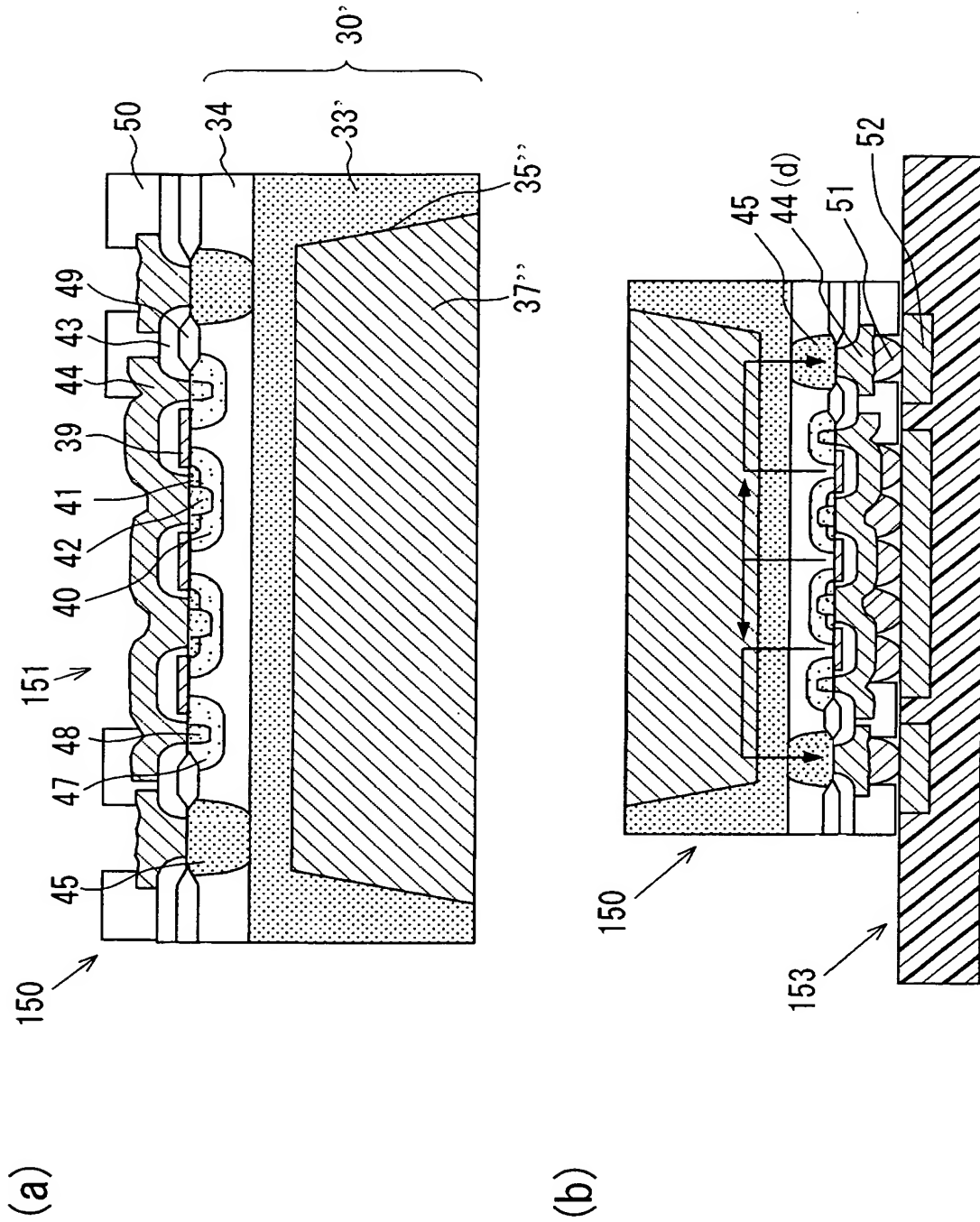
【図 5】



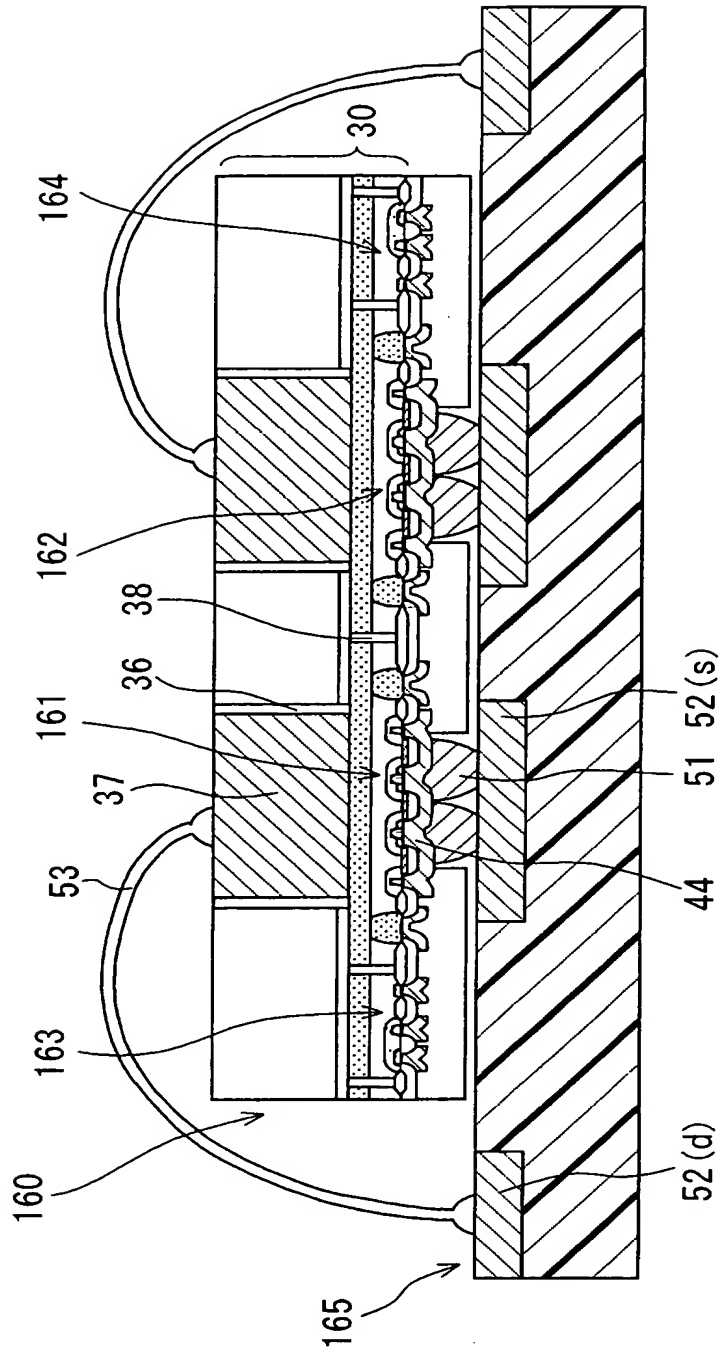
【図 6】



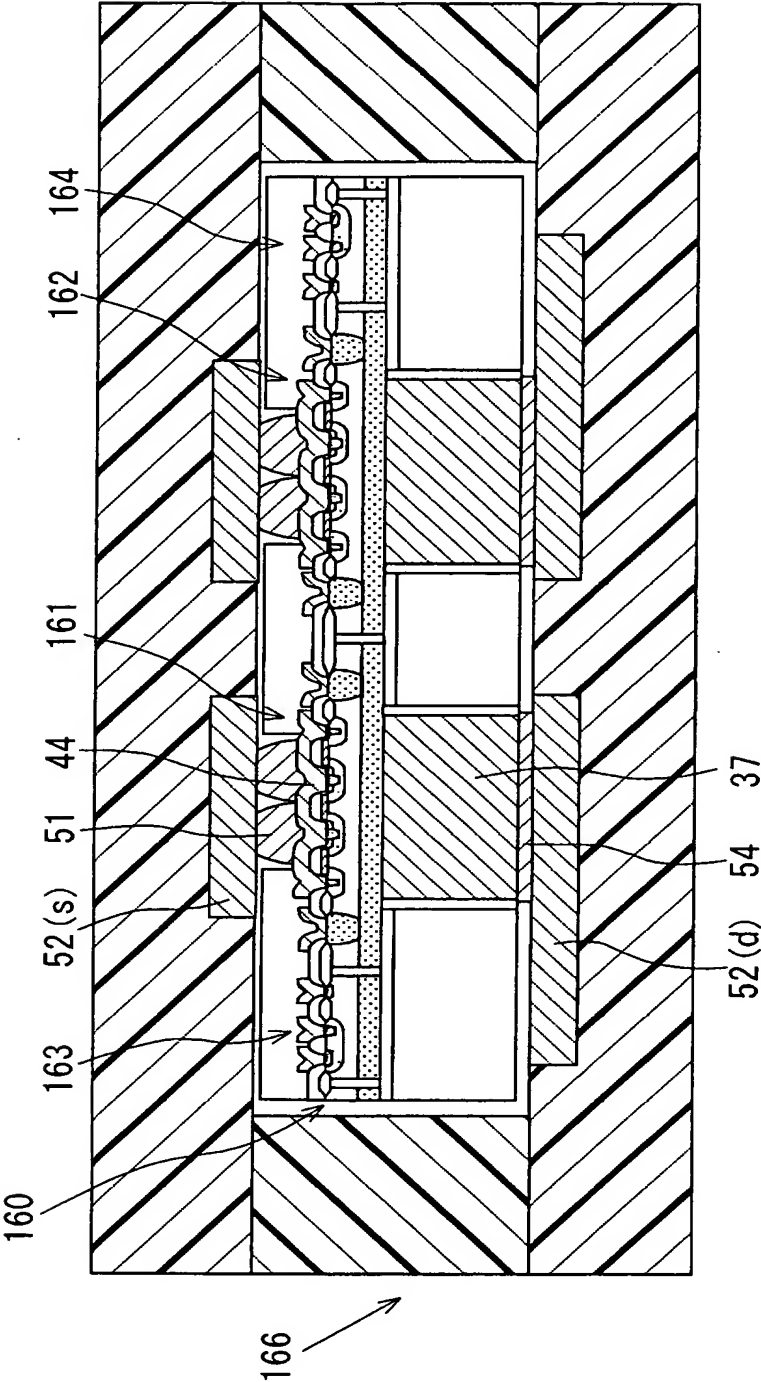
【図 7】



【図 8】

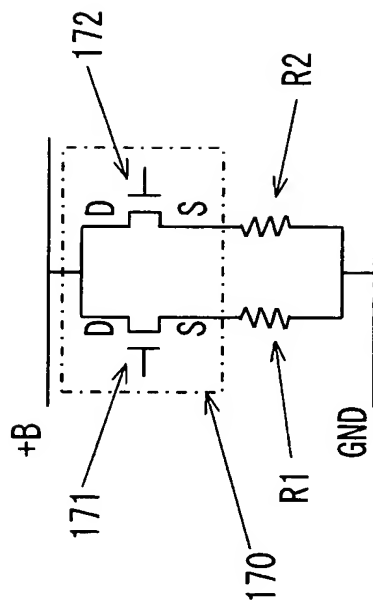


【図 9】

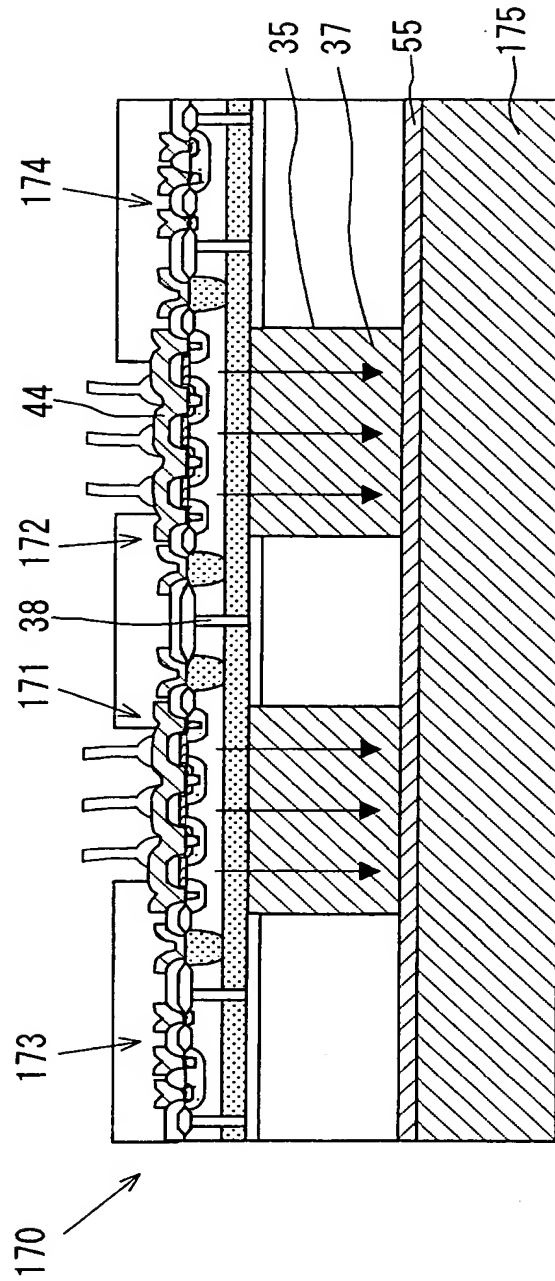


【図 10】

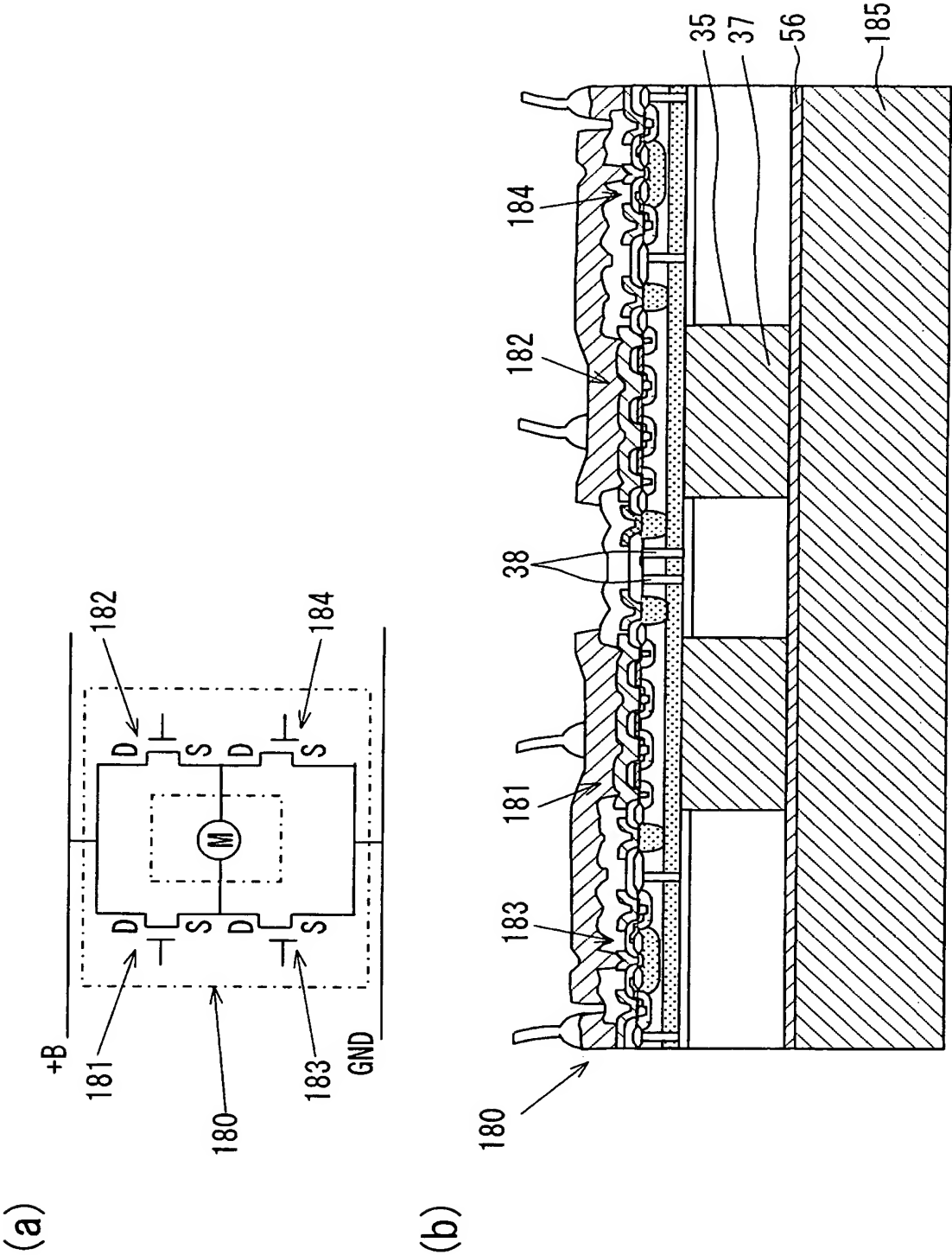
(a)



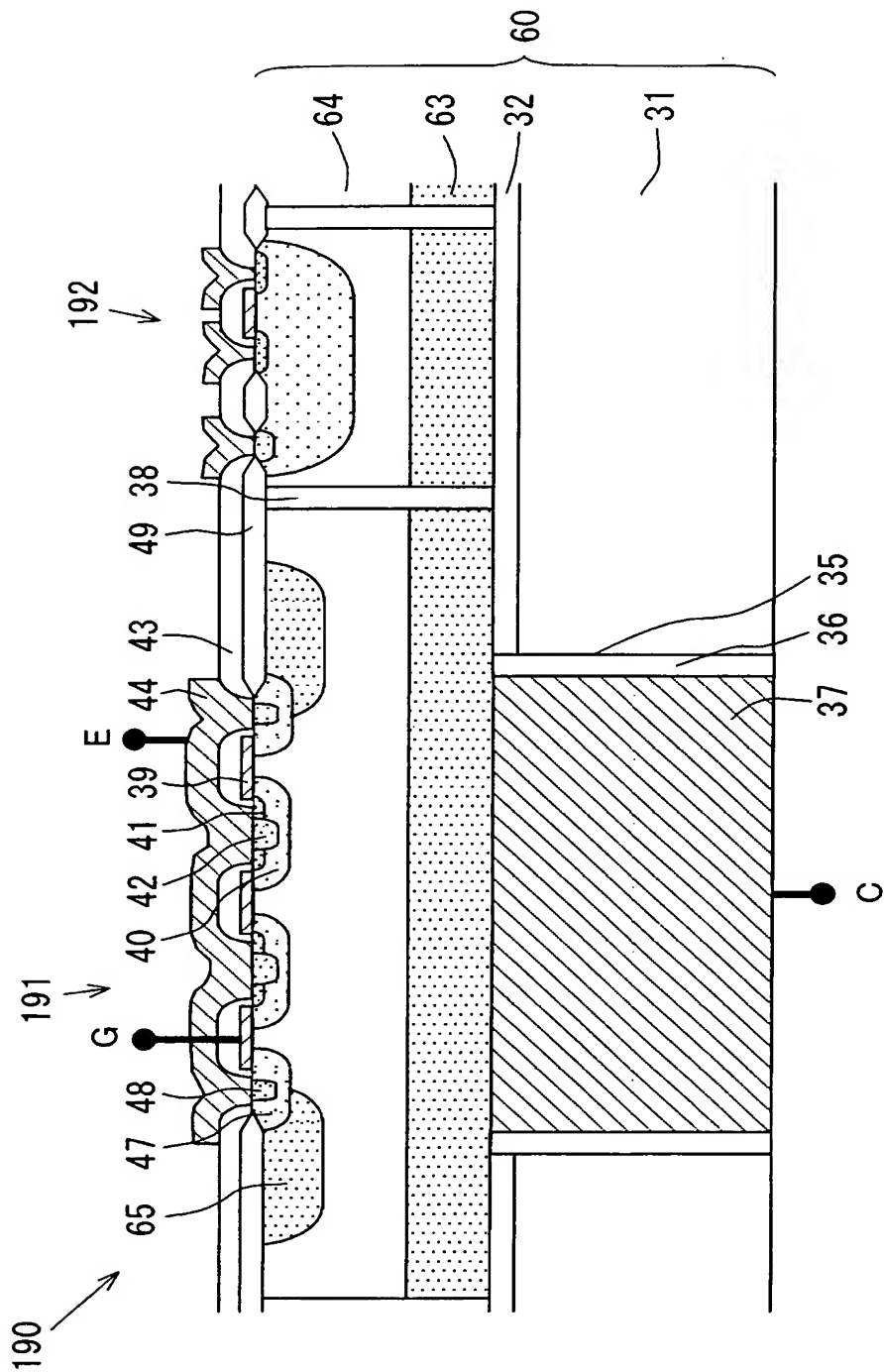
(b)



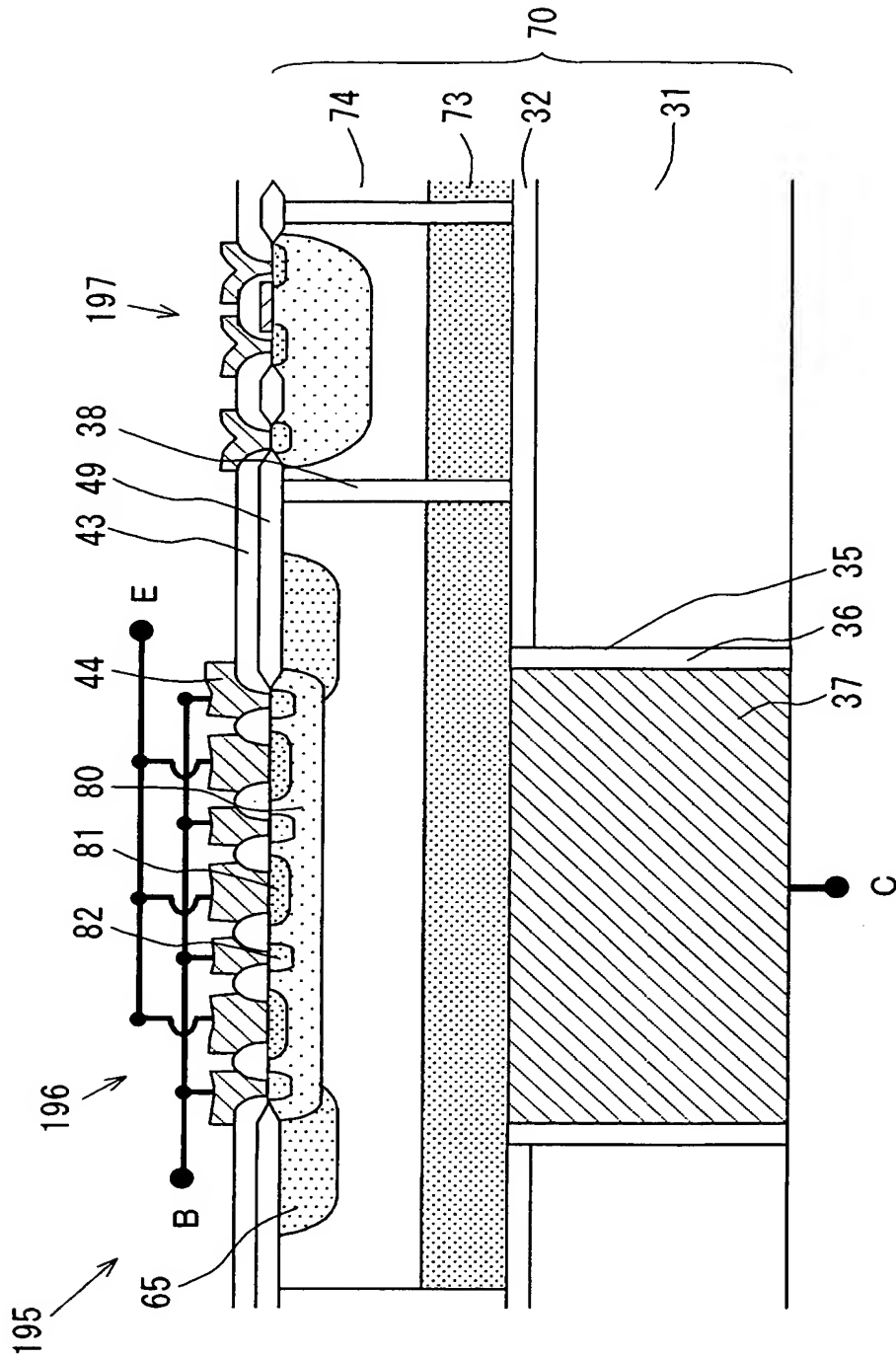
【図 11】



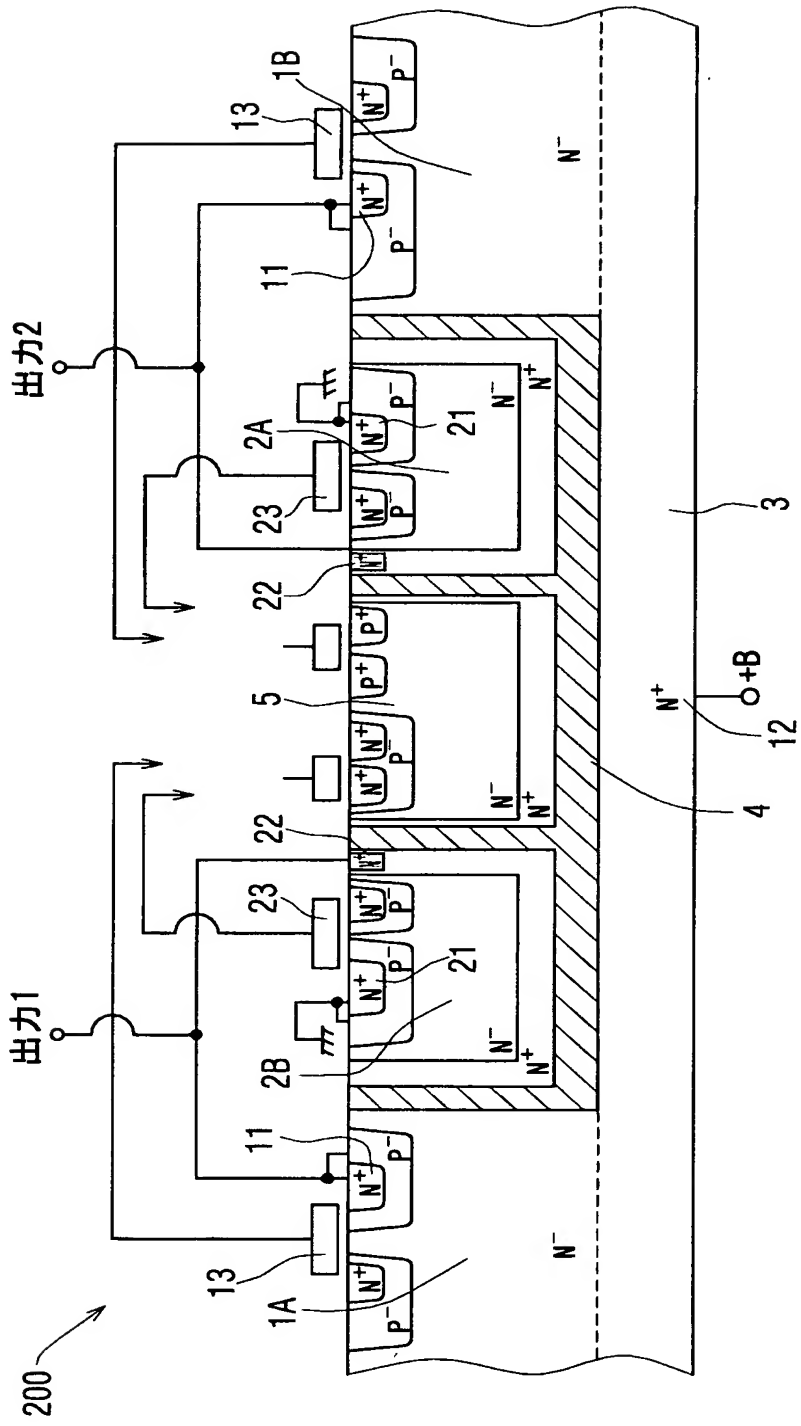
【図 12】



【図 13】



【図14】



**【書類名】 要約書****【要約】**

【課題】 低オン抵抗の縦型トランジスタが形成されてなる半導体装置を提供する。また、マルチチャネル化の自由度の高い半導体装置を提供する。

【解決手段】 半導体基板 30 の一方の表面である主面側に形成された第1電極と、もう一方の表面である裏面側に形成された第2電極とを有する縦型トランジスタ 101 が形成されてなる半導体装置 100 であって、第1電極が、主面上に形成された層間絶縁膜 43 を介して、主面側の半導体基板 30 表層部に形成された拡散領域 41, 42, 48 に接続する第1金属層 44 からなり、裏面側には、半導体基板 30 の内部に向かってトレンチ 35 が形成され、第2電極が、トレンチ内に形成され、トレンチ 35 によって露出された半導体基板 30 内の半導体層 33 に接続する第2金属層 37 からなる半導体装置 100 とする。

【選択図】

図 1



特願 2 0 0 3 - 3 0 7 2 8 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 6 0]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー